

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC900 U.S. PTO
09/640519
08/17/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1999年 8月24日

出願番号
Application Number:

平成11年特許願第236792号

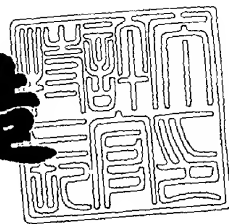
出願人
Applicant(s):

松下電子工業株式会社

2000年 7月21日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3055918

【書類名】 特許願
 【整理番号】 2926410036
 【提出日】 平成11年 8月24日
 【あて先】 特許庁長官 殿
 【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 中岡 弘明

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 石長 篤

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 久保 裕子

【特許出願人】

【識別番号】 000005843

【氏名又は名称】 松下電子工業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9601027

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 基板上に、シリコン酸窒化膜を形成する工程（a）と、
上記シリコン酸窒化膜の表面に窒素を含むガスを接触させながら熱処理を行な
って、上記シリコン酸窒化膜中に少なくとも窒素を導入する工程（b）と、
上記シリコン酸窒化膜の上に不純物を含む半導体膜を形成する工程（c）と
を備えている半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、
上記工程（a）では、 N_2 O ガスを用いてシリコン酸窒化膜を形成することを
特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 記載の半導体装置の製造方法において、
上記工程（c）は、
上記シリコン酸窒化膜の上に半導体膜としてアモルファスシリコン膜を形成す
る副工程と、
上記アモルファスシリコン膜中に不純物イオンを注入する副工程と、
上記不純物を活性化するための熱処理を行なって上記アモルファスシリコン膜
をポリシリコン膜に変える副工程と
を含むことを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 ～ 3 のうちいずれか 1 つに記載の半導体装置の製造
方法において、
上記工程（b）では、 $800 \sim 1050^{\circ}C$ で熱処理を行なうことを特徴とする
半導体装置の製造方法。

【請求項 5】 請求項 1 ～ 4 のうちいずれか 1 つに記載の半導体装置の製造
方法において、
上記工程（b）では、窒素を含むガスとして窒素及び酸素を含むガスを用いる
ことを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 5 記載の半導体装置の製造方法において、
上記工程（b）では、窒素を含むガスとして NO ガスを用いることを特徴とす

る半導体装置の製造方法。

【請求項 7】 請求項 5 記載の半導体装置の製造方法において、

上記工程 (b) では、窒素を含むガスとして N_2 O ガスを用いることを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 1 ~ 7 のうちいずれか 1 つに記載の半導体装置の製造方法において、

上記半導体装置は、p チャネル型 M I S トランジスタであり、

上記工程 (c) では、ボロンを含むゲート電極用シリコン膜を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、ゲート絶縁膜の上にポリシリコンゲート電極を設けてなる M I S トランジスタに係り、特に駆動力の向上対策に関する。

【0 0 0 2】

【従来の技術】

従来より、M O S トランジスタの駆動力の向上を図るために、ゲート電極に不純物をドーピングしてゲート電極を低抵抗化することはよく行なわれている。特に、C M O S デバイスにおいては、n チャネル型 M O S トランジスタのゲート電極には n 型不純物（リン又は砒素）が、p チャネル型 M O S トランジスタのゲート電極には P 型不純物（ボロン）がそれぞれドーピングされた、いわゆるデュアルゲート構造を採るのが一般的である。

【0 0 0 3】

ところが、特に p 型不純物であるボロンは酸化膜内を拡散しやすいことから、ボロンがゲート酸化膜を経て S i 基板のチャネル領域に侵入するいわゆる“ボロンの浸みだし”と呼ばれる現象が生じると、ゲート電極が空乏化するために p チャネル型 M O S トランジスタの駆動力が低下したり、S i 基板のチャネル領域へのボロンの浸みだしによって、サブスレッショルド特性を悪化させたり、短チャネル効果が助長されるという不具合があった。

【 0 0 0 4 】

これを防止するために、ゲート絶縁膜をシリコン酸窒化膜とすることにより、ボロンの下方への拡散を抑制しようとする技術がある。その場合、たとえば、シリコン基板の上に酸素とNOとの混合ガスや N_2O ガスを流しながら熱処理を行なうことによってシリコン酸窒化膜を直接形成したり、すでに形成されたシリコン酸化膜の上に N_2O ガス又は NH_3 ガスを流してシリコン酸化膜に窒素を導入することによってシリコン酸化膜をシリコン酸窒化膜に変化させるなどの方法が一般的に採用されている。

【 0 0 0 5 】

【発明が解決しようとする課題】

しかしながら、現在のようにCMOSデバイスの微細化、高集積化によって、トランジスタのゲート長が短くなるに伴い、低電圧化に応じた駆動力を確保すべくゲート絶縁膜も薄膜化されてくると、ゲート絶縁膜をシリコン酸窒化膜にしても、トランジスタの駆動力を確保できないという事態が発生した。

【 0 0 0 6 】

その原因についてはまだ完全に解明されたわけではないが、本発明者の実験によると、ゲート電極の空乏化とは別の機構によるものと考えられ、特にゲート絶縁膜であるシリコン酸窒化膜中における窒素の分布状態がよくないことに起因するものではないかと推測された。

【 0 0 0 7 】

本発明の目的は、ゲート電極に不純物がドーピングされたMISトランジスタのゲート絶縁膜などから下方への不純物の浸みだしを抑制しつつ、駆動力の高いMISトランジスタなどの半導体装置の製造方法の提供を図ることにある。

【 0 0 0 8 】

【課題を解決するための手段】

本発明の半導体装置の製造方法は、基板上に、シリコン酸窒化膜を形成する工程（a）と、上記シリコン酸窒化膜の表面に窒素を含むガスを接触させながら熱処理を行なって、上記シリコン酸窒化膜中に少なくとも窒素を導入する工程（b）と、上記シリコン酸窒化膜の上に不純物を含む半導体膜を形成する工程（c）

とを備えている。

【0009】

この方法により、シリコン酸窒化膜内に窒素の急峻な分布形状が形成されるように、窒素を追加的に導入することができるので、半導体膜から基板側への不純物の浸みだしを抑制しつつ、半導体膜や基板への窒素の侵入を抑制することができる。その結果、半導体膜やシリコン窒化膜を用いて形成される素子の諸特性を良好に維持できる。例えば、MISトランジスタにおいては、半導体膜であるゲート電極中の不純物の半導体基板への浸みだしを抑制しつつ、ゲート電極又は半導体基板への窒素の侵入に起因すると思われる駆動力の低下を抑制することができる。すなわち、不純物の浸みだしに起因する短チャネル効果などの抑制と、トランジスタの駆動力の向上とを図ることができる。

【0010】

上記半導体装置の製造方法において、上記工程(a)では、 N_2O ガスを用いてシリコン酸窒化膜を形成することが好ましい。

【0011】

上記半導体装置の製造方法において、上記工程(c)に、上記シリコン酸窒化膜の上に上記半導体膜としてアモルファスシリコン膜を形成する副工程と、上記アモルファスシリコン膜中に不純物イオンを注入する副工程と、上記不純物を活性化するための熱処理を行なって上記アモルファスシリコン膜を上記半導体膜となるポリシリコン膜に変える副工程とを含ませることにより、アモルファスシリコン膜の高い不純物の保持機能を利用して、シリコン酸窒化膜の下方の基板への不純物の浸みだしを抑制することができる。

【0012】

上記半導体装置の製造方法において、上記工程(b)では、 $800\sim 1050^{\circ}C$ で熱処理を行なうことが好ましい。

【0013】

上記半導体装置の製造方法において、上記工程(b)では、窒素を含むガスとして窒素及び酸素を含むガスを用いることが好ましい。

【0014】

その場合、窒素を含むガスとしてNOガスを用いることにより、特に大きな効果が得られることが確認されている。

【0015】

また、窒素を含むガスとしてN₂Oガスを用いることも可能である。

【0016】

上記半導体装置の製造方法において、上記半導体装置がpチャネル型MISトランジスタである場合、上記工程(c)では、ボロンを含むゲート電極を形成することにより、デュアルゲート構造によるCMISデバイスに適した高い駆動力を有するMISトランジスタを得ることができる。

【0017】

【発明の実施の形態】

図1(a)～(e)及び図2(a)～(c)は、本発明の実施形態における半導体装置(CMOSデバイス)の製造工程を示す断面図である。各図において、Rpはpチャネル型MISトランジスタ形成領域を示し、Pnはnチャネル型MISトランジスタ形成領域を示している。

【0018】

図1(a)に示す工程で、Si基板10に、pチャネル型MISトランジスタ形成領域Rp及びnチャネル型MISトランジスタ形成領域Rnを取り囲むトレンチ型素子分離領域11を形成した後、約1000℃の温度下でN₂Oガスを約60secの間、Si基板10に接触させることにより、基板上に、厚みが2.8nmのシリコン酸窒化膜12を形成する。

【0019】

なお、シリコン酸窒化膜を形成する方法は、この方法には限られない。たとえば、Si基板10の表面にNOガスとO₂ガスとの混合ガスを接触させながら約1000℃の熱処理を行なってもよい。また、シリコン酸化膜を形成した後、シリコン酸化膜の表面に窒素を導入してもよい。

【0020】

次に、図1(b)に示す工程で、NOガスをシリコン酸窒化膜12に接触させながら900℃、30secの熱処理を施すことにより、シリコン酸窒化膜12

の内部に窒素（N）を導入する。このとき、シリコン酸窒化膜 1 2 中における窒素濃度が高くなるだけでなく、後述するように、シリコン酸窒化膜 1 2 の厚さ方向における中央部に窒素濃度が最大となるピーク部が存在し、かつ急峻な分布形状を示すように、シリコン酸窒化膜 1 2 中の窒素の分布状態が変化する。

【 0 0 2 1 】

次に、図 1（c）に示す工程で、シリコン酸窒化膜 1 2 上にアモルファスシリコン膜からなるゲート電極用半導体膜 1 3 を堆積する。

【 0 0 2 2 】

次に、図 1（d）に示す工程で、ゲート電極用半導体膜 1 3 上に、n チャネル型 M I S トランジスタ形成領域 R_n を覆うフォトリソレジスト膜 2 1 形成し、これをマスクとして、ゲート電極用半導体膜 1 3 中にボロンイオン（ B^+ ）を注入エネルギー 5 k e V，ドーズ量 $5 \times 10^{15} / \text{cm}^2$ の条件で注入する。これにより、p チャネル型 M I S トランジスタ形成領域 R_p におけるゲート電極用半導体膜 1 3 を p 型とする。

【 0 0 2 3 】

次に、図 1（e）に示す工程で、フォトリソレジスト膜 2 1 を除去した後、ゲート電極用半導体膜 1 3 上に、p チャネル型 M I S トランジスタ形成領域 R_p を覆うフォトリソレジスト膜 2 2 を形成し、これマスクとして、ゲート電極用半導体膜 1 3 中にリンイオン（ P^+ ）を、注入エネルギー 1 0 k e V，ドーズ量 $7 \times 10^{15} / \text{cm}^2$ の条件で注入し、n チャネル型 M I S トランジスタ形成領域 R_n におけるゲート電極用半導体膜 1 3 を n 型とする。

【 0 0 2 4 】

次に、図 2（a）に示す工程で、ゲート電極用半導体膜 1 3 の上に厚みが約 1 5 0 n m のシリコン窒化膜を堆積し、フォトリソグラフィ及びドライエッチングにより、シリコン窒化膜及びポリシリコン膜をパターニングして、p チャネル型 M I S トランジスタ形成領域 R_p ，n チャネル型 M I S トランジスタ形成領域 R_n に、それぞれゲート電極 1 3 a，1 3 b 及びゲート上保護層 1 4 a，1 4 b を形成する。さらに、ゲート電極 1 3 a，1 3 b 及びゲート上保護層 1 4 a，1 4 b をマスクとして、p チャネル型 M I S トランジスタ形成領域 R_p においては

低濃度の p 型不純物であるボロンのイオン注入を行ない、n チャネル型 M I S トランジスタ形成領域 R n においては低濃度の n 型不純物であるヒ素のイオン注入を行なって、S i 基板 10 内に、低濃度ソース・ドレイン領域（又はエクステンション領域）20 a, 20 b を形成する。

【0025】

次に、図 2（b）に示す工程で、厚みが約 15 nm のシリコン酸化膜 15 と、厚みが約 55 nm のシリコン窒化膜 16 とを順に堆積する。

【0026】

次に、図 2（c）に示す工程で、シリコン窒化膜 16 とシリコン酸化膜 15 との異方性エッチングを行なって、ゲート電極 13 a, 13 b 及びゲート上保護層 14 a, 14 b の側面上に、断面が L 字状の酸化膜サイドウォール 15 a, 15 b を形成するとともに、酸化膜サイドウォール 15 a, 15 b の側面及び底面にまたがる窒化膜サイドウォール 16 a, 16 b を形成する。このとき、シリコン酸窒化膜 12 もパターンニングされて、ゲート電極 13 a, 13 b 等の下方に、酸窒化シリコンからなるゲート絶縁膜 12 a, 12 b が形成される。

【0027】

その後、ゲート電極 13 a, 13 b, ゲート上保護層 14 a, 14 b, 酸化膜サイドウォール 15 a, 15 b 及び窒化膜サイドウォール 16 a, 16 b をマスクとして、S i 基板 10 内に、p チャネル型 M I S トランジスタ形成領域 R p においては高濃度のボロンのイオン注入を行ない、n チャネル型 M I S トランジスタ形成領域 R n においては高濃度のヒ素のイオン注入を行なって、高濃度ソース・ドレイン領域 21 a, 21 b を形成する。さらに、1000℃, 10 sec の条件で熱処理（R T A）を行なって、各低濃度ソース・ドレイン領域 20 a, 20 b 及び高濃度ソース・ドレイン領域 21 a, 21 b 中の不純物を活性化する。

【0028】

以上の工程により、ゲート電極 13 a, 13 b がトランジスタのチャネル型に一致する不純物を含んでいる、いわゆるデュアルゲート構造を有する C M O S デバイスが形成される。

【0029】

その後の製造工程の図示は省略するが、基板上に層間絶縁膜を堆積し、層間絶縁膜の平坦化処理の後、層間絶縁膜に高濃度ソース・ドレイン領域に到達するコンタクトホールを形成し、このコンタクトホールにW、Al等の金属を埋め込んでプラグ金属を形成する。また、さらにその上に配線層を形成する。そして、必要に応じて層間絶縁膜、プラグ金属、配線層の形成を繰り返して、多層の配線構造を積層する。

【0030】

なお、各ゲート電極13a、13b（ゲート電極用半導体膜13）は、図1（d）、（e）の工程の後に、600℃程度を越える熱処理が行なわれたときに、アモルファスシリコン膜からポリシリコン膜に変化する。図1（e）に示す工程が終了した直後に不純物活性化のための熱処理を行なう場合には、アモルファスシリコン膜からポリシリコン膜への変化が生じる。また、この活性化のための熱処理を行なわなくても、図2（b）に示すシリコン酸化膜15、シリコン窒化膜16の堆積時におけるCVD工程や、図2（c）に示す工程における不純物活性化のための熱処理によって、アモルファスシリコン膜からポリシリコン膜に変化することがある。

【0031】

ここで、本発明の半導体装置の製造方法の特徴は、図1（b）に示す工程で、シリコン酸窒化膜12にNOガスを接触させて、アニール（熱処理）を行なっている点である。そして、この処理によって、シリコン酸窒化膜12内の窒素濃度が高くなるとともに、急峻な分布形状が得られることがわかった。この窒素濃度プロファイルについては、後述する。発明者が行った評価によると、このようなNOガスアニール処理によって、従来のpチャネル型MISトランジスタとは、以下のような異なる特性が得られている。

【0032】

図3（a）は従来のpチャネル型MISトランジスタにおける短チャネル特性を示す図、図3（b）は本実施形態のpチャネル型MISトランジスタにおける短チャネル特性を示す図である。従来のpチャネル型MISトランジスタとは、ゲート絶縁膜としてのガスアニールを施していないシリコン酸窒化膜を用いた図

2 (c) に示す構造を有するものである。図 3 (a), (b) において、横軸はゲート長 (μm) を表し、縦軸はしきい値電圧 (V) を表している。また、左上に示す数字たとえば“4 e 1 2”は、チャネル領域へのイオン注入時のドーズ量 (つまりしきい値制御用イオン注入におけるドーズ量) が “ $4 \times 10^{12}/\text{cm}^2$ ” であることを示している。

【0033】

図 3 (a), (b) を比較するとわかるように、同じゲート長を有する p チャネル型 MIS トランジスタにおいては、従来の p チャネル型 MIS トランジスタに比べて、本実施形態の p チャネル型 MIS トランジスタのしきい値電圧はほとんど低下していない。これは、従来の p チャネル型 MIS トランジスタにおいては、ゲート電極中のボロンの基板へ浸みだしにより、しきい値電圧が低下しているものと思われる。それに対し、本実施形態の p チャネル型 MIS トランジスタにおいては、ボロンの浸みだしが有効に抑制されていることがわかる。

【0034】

図 4 (a) は従来の p チャネル型 MIS トランジスタにおける $I_{\text{on}}-I_{\text{off}}$ 特性を示す図、図 4 (b) は本実施形態の p チャネル型 MIS トランジスタにおける $I_{\text{on}}-I_{\text{off}}$ 特性を示す図である。従来の p チャネル型 MIS トランジスタとは、ゲート絶縁膜としてのガスアニールを施していないシリコン酸窒化膜を用いた図 2 (c) に示す構造を有するものである。図 4 (a), (b) において、横軸は動作時電流 I_{on} ($\mu\text{A}/\mu\text{m}$) を表し、縦軸はオフリーク電流 I_{off} ($\text{A}/\mu\text{m}$) を表していて、 I_{on} , I_{off} 共にソース・ドレイン間における電流を意味する。また、左上に示す数字たとえば“4 e 1 2”は、すでに説明したとおりである。

【0035】

図 4 (a) に示されるように、従来構造の p チャネル型 MIS トランジスタにおいて、しきい値制御用不純物の濃度を種々変更したときに、オフリーク電流 I_{off} が $1\text{ nA}/\mu\text{m}$ (単位ゲート幅当たり) になるようにしきい値を調整すると、そのときの動作時電流 I_{on} は、約 $100 (\mu\text{A}/\mu\text{m})$ である (図 4 (a) の矢印参照)。一方、本実施形態の p チャネル型 MIS トランジスタにおいて、し

きい値制御用不純物を種々変更したときに、オフリーク電流 I_{off} が $1 \text{ nA} / \mu\text{m}$ (単位ゲート幅当たり) になるようにしきい値を調整すると、そのときの動作時電流 I_{on} は、約 $250 (\mu\text{A} / \mu\text{m})$ である (図 4 (b) の矢印参照)。つまり、本実施形態の p チャンネル型 MIS トランジスタのほうがオン・オフ特性が高く、トランジスタの駆動力が高いことを意味する。

【0036】

図 5 は、従来の p チャンネル型 MIS トランジスタと本実施形態の p チャンネル型 MIS トランジスタとにおけるサブスレッショルド特性 ($V_g - I_d$ 特性) を示す図である。従来の p チャンネル型 MIS トランジスタとは、ゲート絶縁膜としてのガスアニールを施していないシリコン酸窒化膜を用いた図 2 (c) に示す構造を有するものである。図 5 において、横軸はゲート電圧 V_g (V) を表し、縦軸はドレイン電流 I_d (A) を表している。

【0037】

図 5 からわかるように、本実施形態の p チャンネル型 MIS トランジスタのほうがオフリークが小さく、かつ、 $V_g - I_d$ 特性曲線の傾斜も大きいことがわかる。この実験結果からも、本実施形態の p チャンネル型 MIS トランジスタのほうがオン・オフ特性が優れていることがわかる。

【0038】

図 6 は、従来の p チャンネル型 MIS トランジスタと本実施形態の p チャンネル型 MIS トランジスタとにおけるトランスコンダクタンス特性 ($G_m - V_g$ 特性) を示す図である。従来の p チャンネル型 MIS トランジスタとは、ゲート絶縁膜としての NO ガスアニールを施していないシリコン酸窒化膜を用いた図 2 (c) に示す構造を有するものである。図 6 において、横軸はゲート電圧 V_g (V) を表し、縦軸はトランスコンダクタンス G_m (S) を表している。

【0039】

図 6 からわかるように、本実施形態の p チャンネル型 MIS トランジスタのほうがトランスコンダクタンスの最大値が大きい。つまり、スイッチング特性が優れていることがわかる。

【0040】

ここで、本実施形態の製造方法によって、pチャネル型MISトランジスタの駆動力が向上する理由について考察する。

【0041】

従来のシリコン酸窒化膜は、図1(a)に示す工程と同様の処理によって形成される。たとえば、Si基板にNOガスとO₂ガスとの混合ガス（又はN₂Oガス）を接触させて1000℃程度の温度で熱処理を行なうか、あるいはシリコン酸化膜にN₂又はNH₃を接触させて1000℃程度の温度で熱処理(RTA)を行なうことにより形成される。しかし、特に最近のようにゲート絶縁膜が薄膜化されている場合に、このような処理によって形成されたシリコン酸窒化膜をゲート絶縁膜として用いると、特に、pチャネル型MISトランジスタの駆動力が低減するという不具合が生じることがわかった。

【0042】

その原因はまだ正確に解明されているわけではないが、過剰な窒素原子がチャネル領域の直上の界面に存在すると界面準位によってキャリアが散乱を受けたり、窒素原子がシリコン酸化膜の結合を切ることによってダングリングボンドが増大することや、過剰な窒素がゲート電極に存在するとゲート抵抗が増大することなどが原因ではないかと考えられる。

【0043】

一方、シリコン酸化膜に導入する窒素の量を抑制すると、ゲート電極からチャネル領域への浸みだしを確実に阻止できないために、ゲート電極が空乏化されて駆動力が低減したり、しきい値電圧の低下などの短チャネル効果が助長されることがわかっている。従って、トランジスタの駆動力の向上と短チャネル効果の抑制とを同時に実現することは困難であるので、この2つの特性の妥協点をCMOSデバイスの種類等に応じて設定しているのが現状である。

【0044】

一方、発明者の実験によると、シリコン酸窒化膜の表面をNOガスにさらしながら熱処理を行なう(NOガスアニール)ことにより、上述のように、短チャネル効果の抑制と、トランジスタの駆動力の向上(オン・オフ特性の向上, トランスコンダクタンスの向上など)とを併せて実現することができることがわかった。

。そこで、さらにNOガスアニールによってトランジスタの各部の窒素の濃度分布がどのようなになるのかを調べた。

【0045】

図7、図8は、SIMSにより実施例や比較例に係るシリコン酸窒化膜及びその付近における窒素の濃度 (atoms / cm³) の分布を測定した結果を示す図である。図7において、横軸は断面の深さ方向を表し、縦軸は窒素濃度 (対数目盛) を表している。図8は、図7と同じデータを縦軸をリニアの目盛で表示したものである。各図中、①、②、③、⑤、⑦は、以下の処理によって作成された厚み2.6nmのシリコン酸窒化膜の上に、アモルファスシリコンを堆積したものである。

【0046】

①：比較例1

下地であるSi基板の表面にN₂Oガスを接触させて、1000℃に加熱処理をすることによって、シリコンを酸窒化して酸窒化膜を形成したもの (図4 (a)、図5、図6に示すデータを得た従来のpチャネル型MOSトランジスタの途中工程における状態)

②：比較例2

下地であるSi基板の表面にN₂Oガスを接触させて、1000℃に加熱処理をすることによって、シリコンを酸窒化して酸窒化膜を形成したもの (比較例1のサンプル) の表面に、さらにNOガスを接触させながら800℃に加熱処理 (NOガスアニール) を施したものの

③：実施例

下地であるSi基板の表面にN₂Oガスを接触させて、1000℃に加熱処理をすることによって、シリコンを酸窒化して酸窒化膜を形成したもの (比較例1のサンプル) の表面に、さらにNOガスを接触させながら900℃に加熱処理 (NOガスアニール) を施したものの

⑤：比較例3

下地であるSi基板の表面にO₂ガスとNOガスとの混合ガス (NOガスが30%) を接触させて、加熱処理をすることによって、シリコンを酸窒化して酸窒

化膜を形成したもの

⑦：比較例 4

下地である Si 基板の表面に O_2 ガスと NO ガスとの混合ガス（NO ガスが 10 %）を接触させて、加熱処理をすることによって、シリコンを酸窒化して酸窒化膜を形成したもの

また、図 7，図 8 において、“a-Si” はアモルファスシリコン膜を示し、“SiON” はシリコン酸窒化膜を示し、“Si-sub” は Si 基板を示している。そして、各図中の 2 つの破線が、アモルファスシリコン膜－シリコン酸窒化膜間の界面と、シリコン酸窒化膜－Si 基板間の界面とを示している。

【0047】

図 8 に示されるように、従来のシリコン酸窒化膜である比較例 1 のサンプル①では窒素濃度のピーク位置がシリコン酸窒化膜－Si 基板間の界面に近い場所にある。そして、窒素の濃度分布形状はなだらかであるので、この状態で不純物の浸みだしを防止できる程度まで不純物濃度を増大させると、アモルファスシリコン膜や Si 基板内における窒素の濃度が高くなることが予想される。

【0048】

一方、本実施形態の方法で作成した実施例のサンプル③では、窒素濃度のピーク値がシリコン酸窒化膜の中間付近に位置し、かつ分布形状が急峻である。そして、この実施例③のシリコン酸窒化膜中の窒素濃度は、8 atom% 程度である。そして、シリコン酸窒化膜中における窒素濃度のピーク高さが、図 8 に示す実施例のサンプル③の値程度であればボロンの浸みだし（突き抜け）を防止することも確認されている。なお、窒素濃度が 8 atoms% よりも過剰に高くなると、トランジスタ特性に悪影響を及ぼすおそれがある。

【0049】

また、比較例 2 のサンプル②のように、NO ガスアニールを 800℃で行なうと、窒素濃度のピーク位置が、シリコン酸窒化膜－Si 基板間の界面に近いままであり、分布形状も急峻ではない。そして、比較例 2 のサンプルから M I S トランジスタを形成した結果、実施例のサンプル③に比べて駆動力が低いことが確認されている。

【 0 0 5 0 】

なお、図 7、図 8 には示されていないが、シリコン酸窒化膜に NO ガスアニールを施す温度を 1 0 0 0 ℃ とすると、実施例のサンプル④よりもさらに分布の形状が急峻となり、M I S トランジスタの短チャネル効果、駆動力などに関する特性も良好であることは確認されている。

【 0 0 5 1 】

また、比較例 3 のサンプル⑤のように、NO ガスの比率が高い O₂ ガスと NO ガスとの混合ガスを用いて S i 基板から直接シリコン酸窒化膜を形成した場合には、窒素濃度のピーク位置は、シリコン酸窒化膜の厚み方向におけるほぼ中央部にあるが、アモルファスシリコン膜側における窒素濃度が高くなっている。そして、比較例 3 のサンプル⑤から M I S トランジスタを形成した結果、実施例のサンプル④に比べて駆動力が低いことが確認されている。

【 0 0 5 2 】

以上の結果から、本発明の NO ガスアニールをシリコン酸窒化膜に施すことによって、シリコン酸窒化膜中に窒素が高濃度に存在するように窒素の濃度分布が急峻になることから、S i 基板 1 0 へのボロンの浸みだしを抑制しながら、高い駆動力を発揮できるものと考えられる。

【 0 0 5 3 】

つまり、従来のシリコン酸窒化膜を形成する工程は、シリコン基板から直接シリコン酸化膜を形成するか、シリコン酸化膜を窒化することによりシリコン酸窒化膜を形成している。しかし、これらの従来の方法では、シリコン酸窒化膜中における窒素濃度の分布形状がなだらかである。そして、窒素は、シリコン酸窒化膜だけでなく、両側のゲート電極（アモルファスシリコン膜）や S i 基板内にも連続的に分布していることから、窒素濃度の分布がなだらかであると、ボロンの浸みだし抑制に必要な濃度の窒素をシリコン酸窒化膜内に含ませようとする、ゲート電極や S i 基板内にも比較的高濃度の窒素が侵入することになる。その結果、ゲート電極内においてゲート抵抗の増大に起因すると思われるトランジスタの駆動力の低下や、S i 基板のチャネル領域においてキャリアの移動度が低下することに起因するトランジスタの駆動力の低下が現れるものと推測される。

【0054】

特に、窒素濃度のピーク位置がSi基板との界面付近にある場合には、Si基板内における窒素濃度が高くなることで、トランジスタの駆動力が低下している可能性が高い。

【0055】

それに対し、本実施形態のシリコン酸化膜のNOガスアニールを施すことにより、シリコン酸化膜内における窒素の分布形状を急峻しながら高濃度の窒素を追加的に導入することができるので、ボロンの浸みだしを有効に防止して短チャネル効果を抑制しつつ、トランジスタの駆動力も高く維持することができる。つまり、pチャネル型MISトランジスタの短チャネル効果の抑制と駆動力の向上とを併せて実現することができるのである。

【0056】

ここで、本発明の実験結果から、NOガスアニール時の熱処理温度は、800℃よりも高いことが好ましく、1050℃以下であることが好ましい。

【0057】

なお、pチャネル型MISトランジスタの構造は、図2(c)に示されるSAC構造のものに限定されるわけではない。ただし、図2(c)に示すSAC構造のpチャネル型MISトランジスタにおいては、酸化膜サイドウォール16aによる応力がゲート電極13a等に作用することから、特にゲート電極13a中のボロンがSi基板10に突き抜けやすい傾向がある。従って、本発明をSAC構造のpチャネル型MISトランジスタに適用することにより、微細化に特に適した構造が得られる。

【0058】

(その他の実施形態)

上記実施形態においては、シリコン酸化膜の表面にNOガスを接触させながらアニール(NOガスアニール)を施したが、シリコン酸化膜に、N₂Oガス、NO₂ガスなど、酸素及び窒素を含む他のガスを接触させながらアニールを施しても、上記実施形態と同等の効果が得られる。

【0059】

また、上記実施形態においては、M I S トランジスタのゲート電極下方に設けられるゲート絶縁膜としてシリコン酸窒化膜を用いる場合のアニール処理について説明したが、本発明はかかる実施形態に限定されるものではなく、M I S キャパシタや、T F T トランジスタなどの素子にも適用することができる。

【0060】

また、本発明は、S O I 基板を用いたM I S トランジスタ、M I S キャパシタなどにも適用することができる。

【0061】

【発明の効果】

本発明の半導体装置の製造方法によると、M I S トランジスタの製造工程において、シリコン酸窒化膜を形成してから、シリコン酸窒化膜の表面に窒素を含むガスを接触させながら熱処理を行ない、その上に半導体膜を形成するようにしたので、シリコン酸窒化膜内における窒素の濃度分布形状の急峻化と高濃度化とにより、半導体膜や基板側への窒素の侵入を抑制することができ、例えばpチャネル型M I S トランジスタのゲート電極中の不純物の浸みだしに起因する短チャネル効果などの抑制と、トランジスタの駆動力の向上とを図ることができる。

【図面の簡単な説明】

【図1】

(a) ~ (e) は、発明の実施形態における半導体装置の製造工程のうちの前半部分を示す断面図である。

【図2】

(a) ~ (c) は、発明の実施形態における半導体装置の製造工程のうちの後半部分を示す断面図である。

【図3】

従来のpチャネル型M I S トランジスタと本実施形態のpチャネル型M I S トランジスタとにおける短チャネル特性をそれぞれ示す図である。

【図4】

従来のpチャネル型M I S トランジスタと本実施形態のpチャネル型M I S トランジスタとにおけるI on - I off 特性をそれぞれ示す図である。

【図 5】

従来の p チャネル型 M I S トランジスタと本実施形態の p チャネル型 M I S トランジスタとにおけるサブスレッショルド特性を示す図である。

【図 6】

従来の p チャネル型 M I S トランジスタと本実施形態の p チャネル型 M I S トランジスタとにおけるトランスコンダクタンス特性を示す図である。

【図 7】

S I M S により実施例や比較例に係るシリコン酸窒化膜及びその付近における窒素の濃度の分布を測定した結果を対数目盛で示す図である。

【図 8】

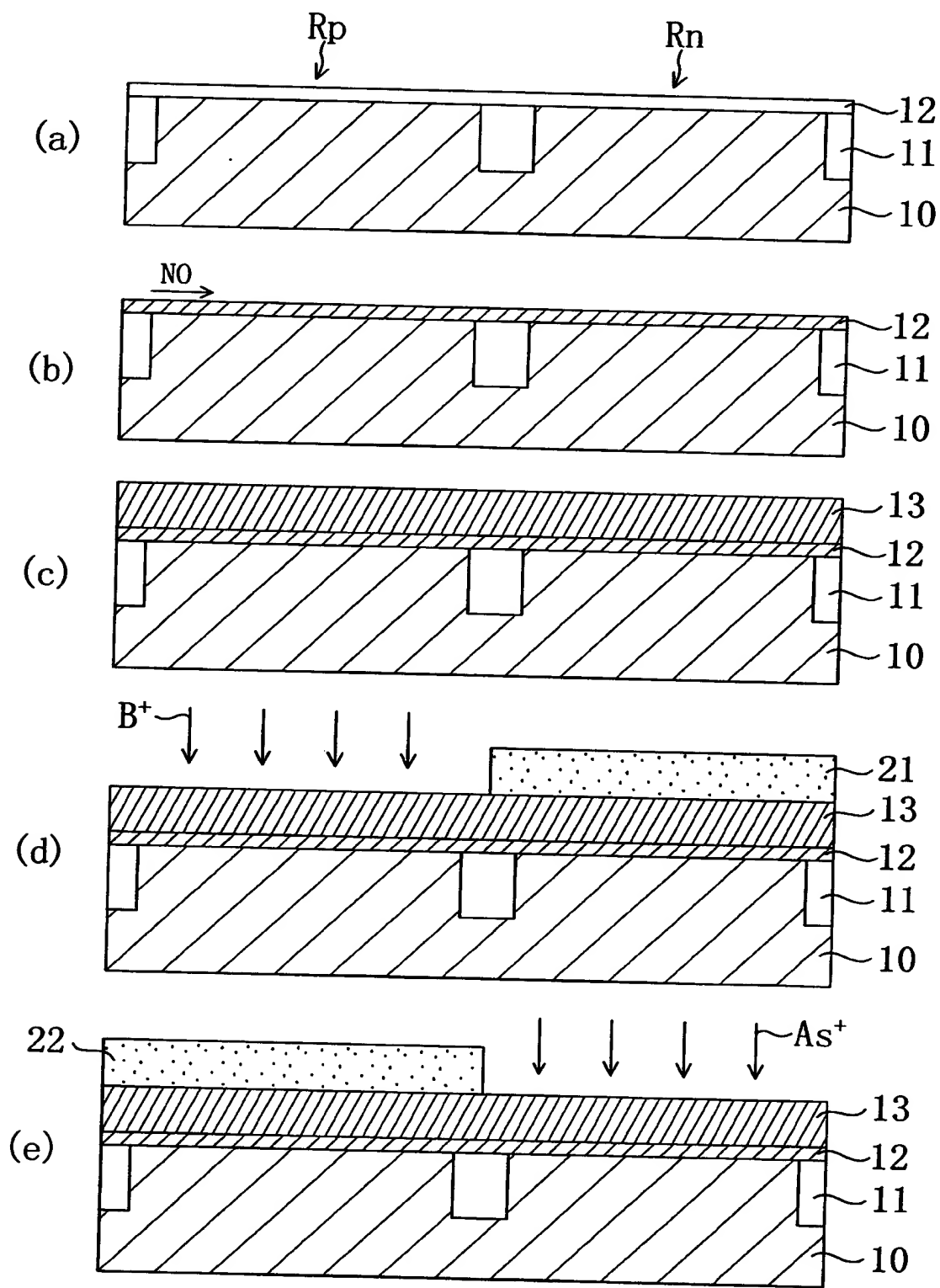
S I M S により実施例や比較例に係るシリコン酸窒化膜及びその付近における窒素の濃度の分布を測定した結果をリニアの目盛で示す図である。

【符号の説明】

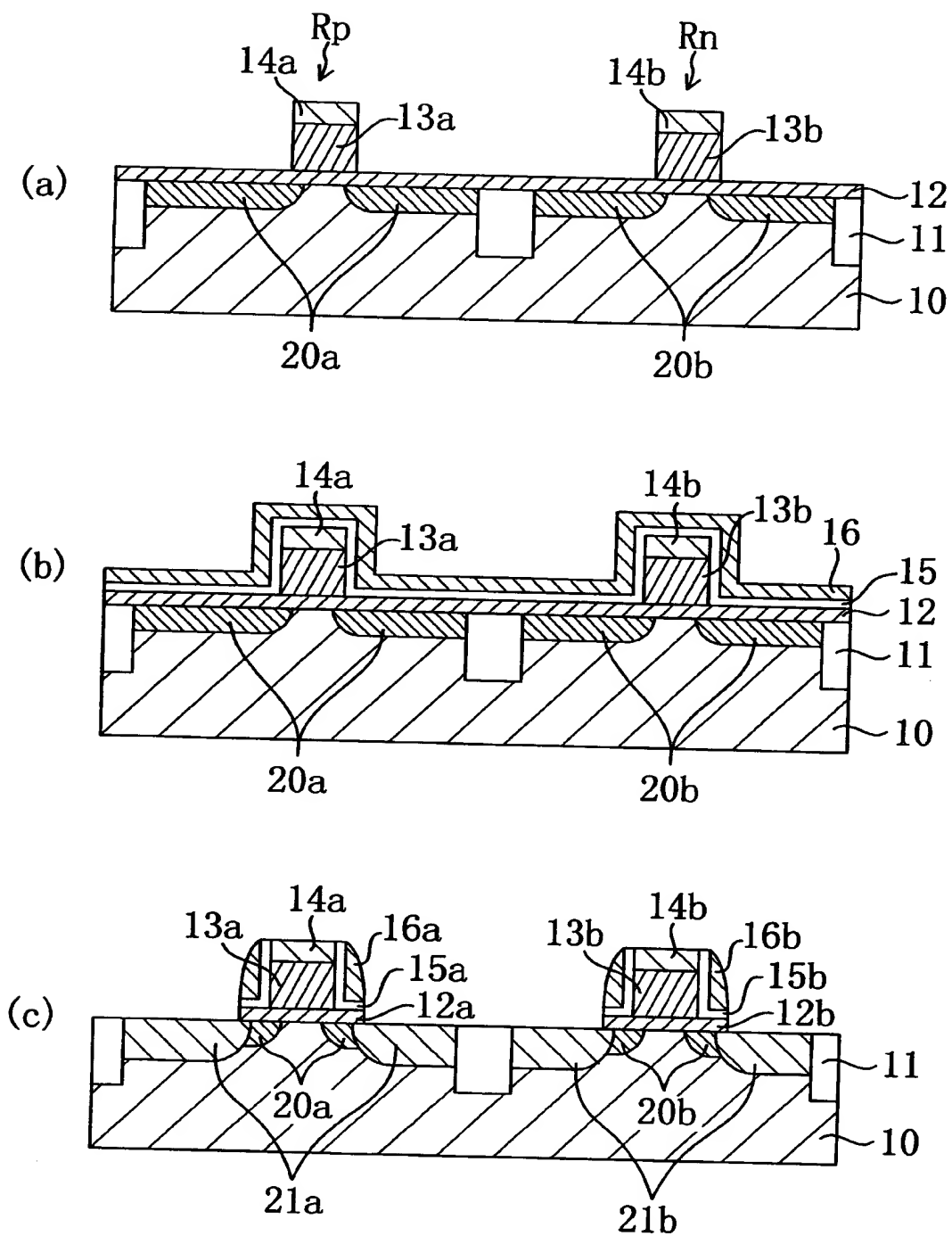
- 1 0 S i 基板
- 1 1 素子分離領域
- 1 2 シリコン酸窒化膜
- 1 2 a, 1 2 b ゲート絶縁膜
- 1 3 アモルファスシリコン膜
- 1 3 a, 1 3 b ゲート電極
- 1 4 a, 1 4 b ゲート上保護層
- 1 5 シリコン酸化膜
- 1 5 a, 1 5 b 酸化膜サイドウォール
- 1 6 シリコン窒化膜
- 1 6 a, 1 6 b 窒化膜サイドウォール

【書類名】 図面

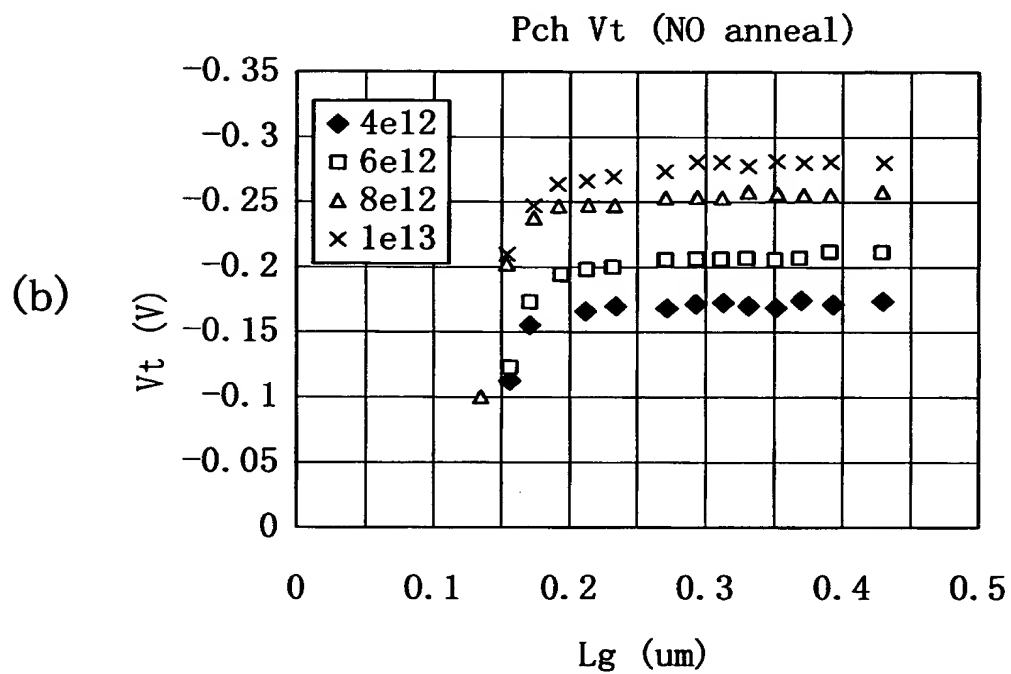
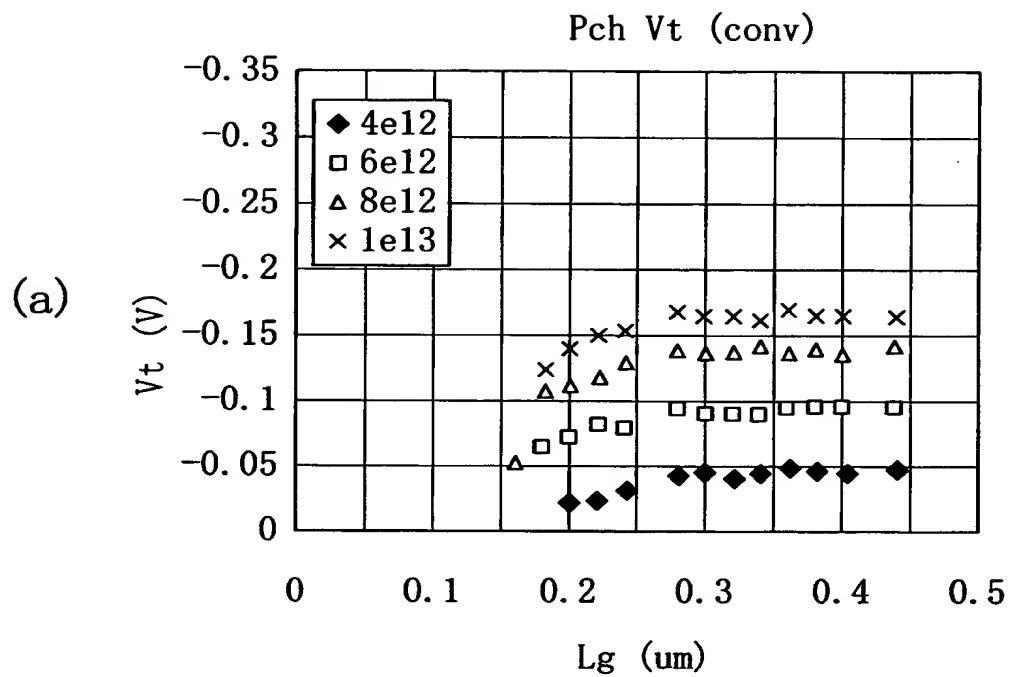
【図 1】



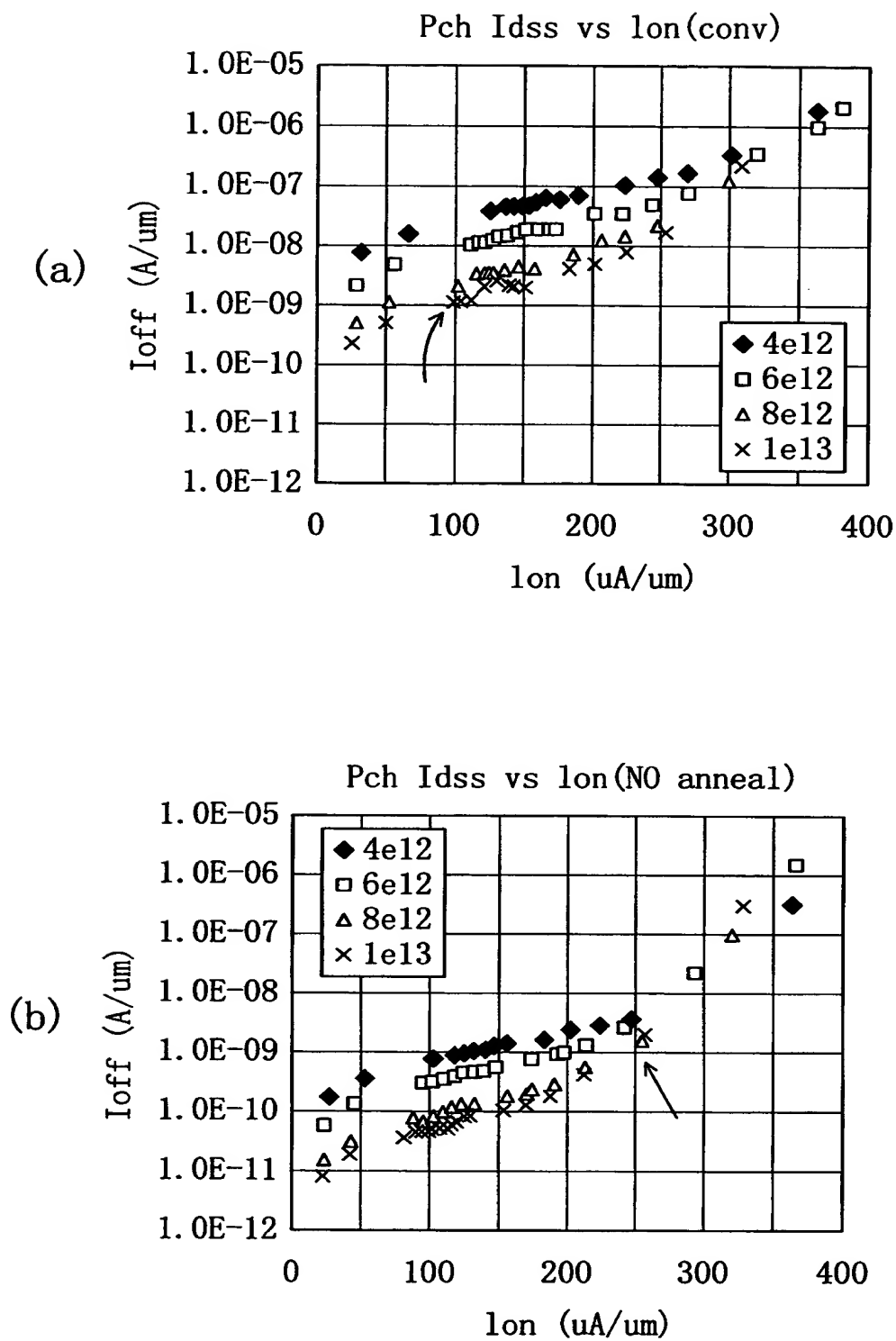
【図 2】



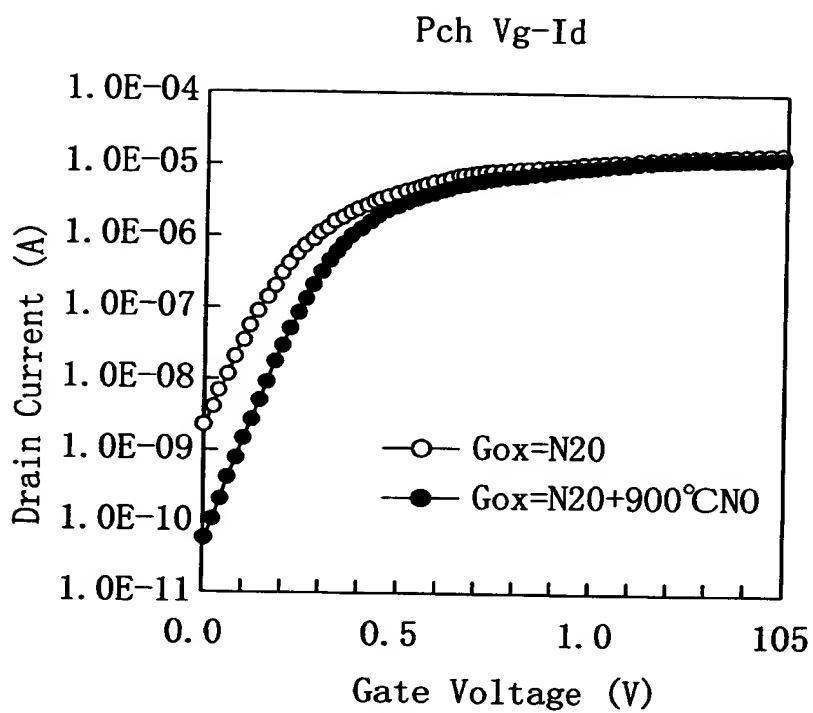
【図 3】



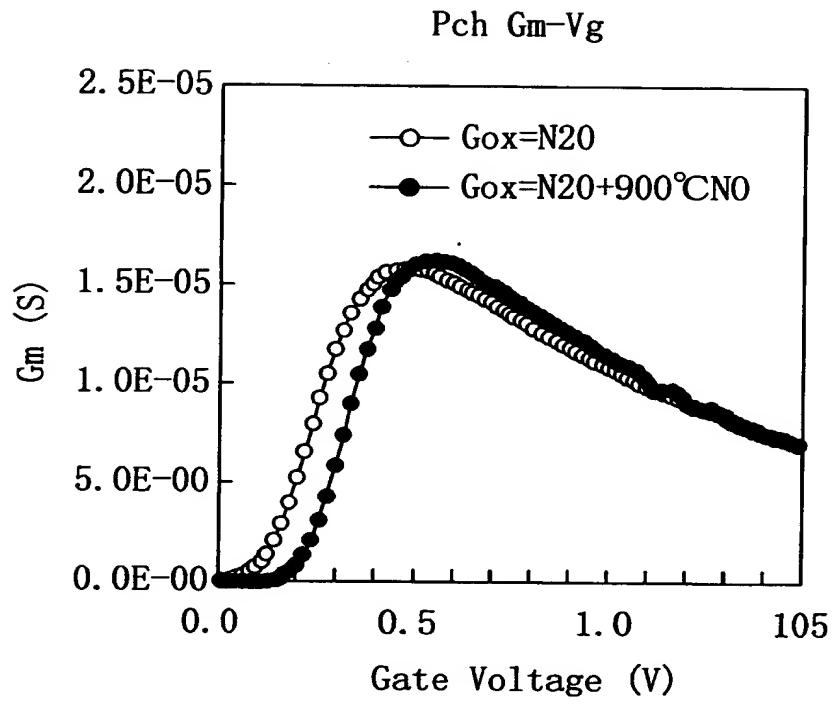
【図 4】



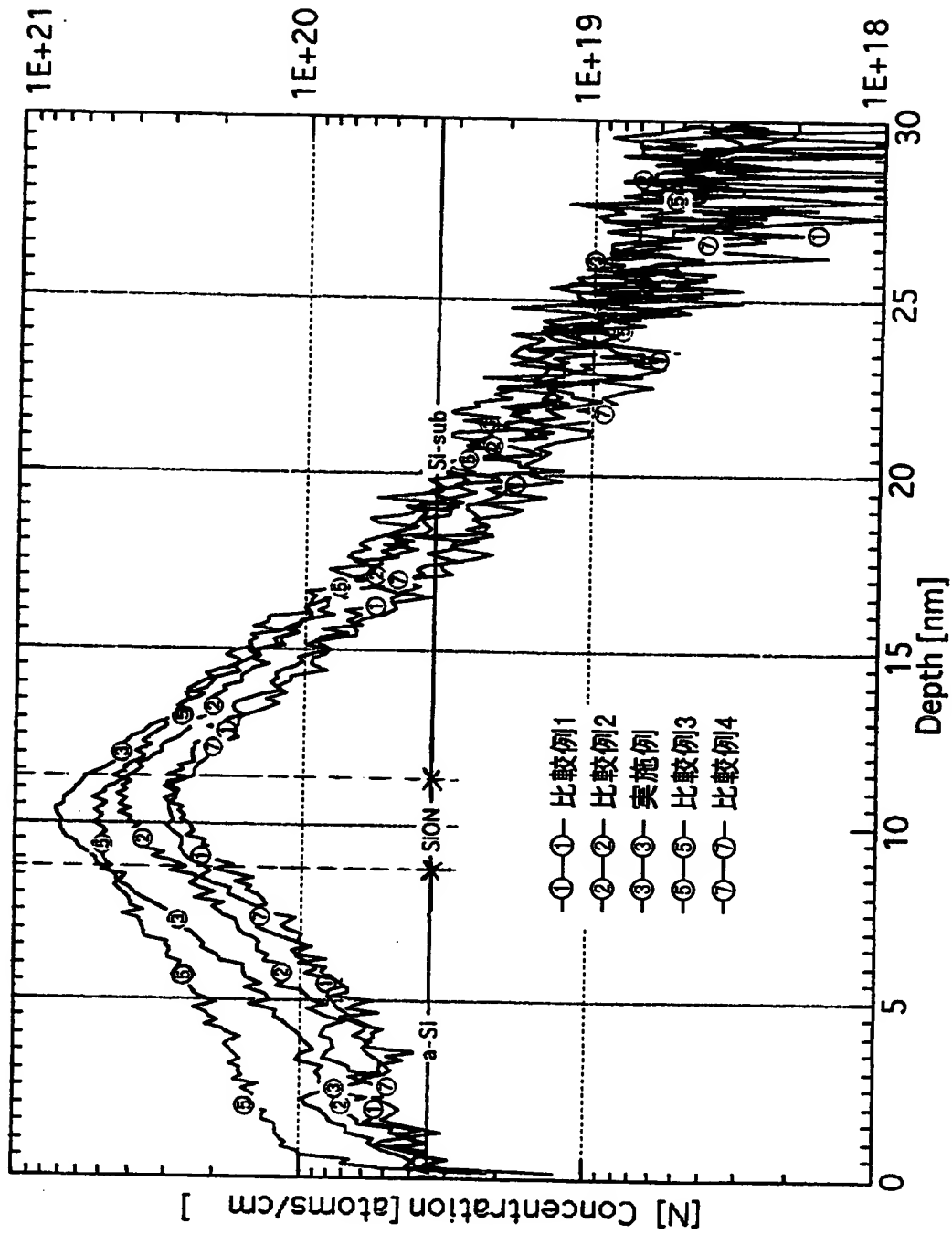
【図 5】



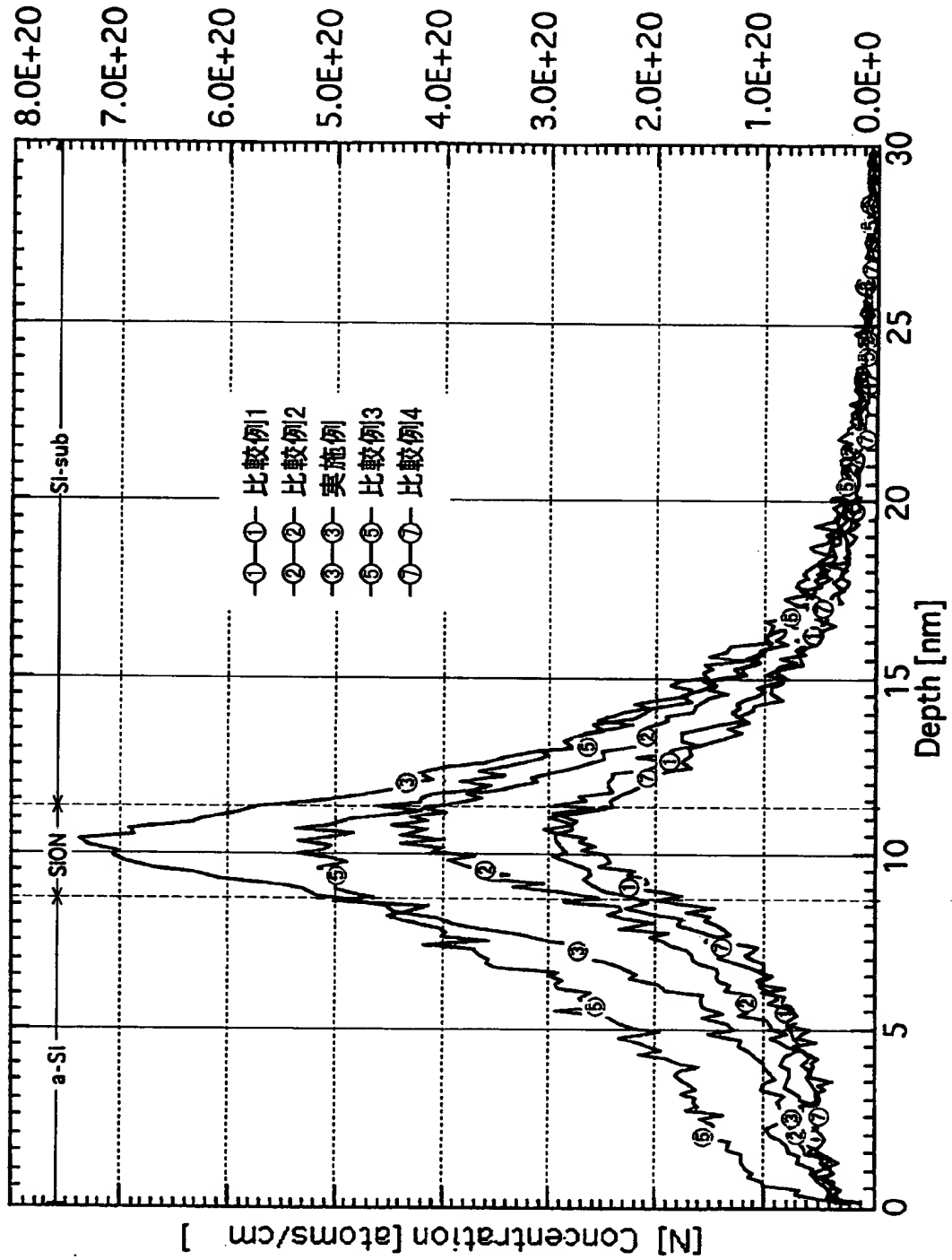
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 ゲート電極中のボロンの浸みだしのない、かつ、駆動力の高いpチャネル型MISトランジスタなどの半導体装置の製造方法を提供する。

【解決手段】 Si基板10上にシリコン酸窒化膜12を形成した後、NOガスをシリコン酸窒化膜12に接触させながら熱処理を施すことにより、シリコン酸窒化膜12の内部に急峻な分布を持った高濃度の窒素を導入する。シリコン酸窒化膜12の上にアモルファスシリコン膜13を堆積し、デュアルゲート構造を形成するための不純物イオンの注入を行なう。その後、シリコン酸窒化膜12をゲート酸化膜とし、ポリシリコン膜をゲート電極とするp型及びn型MISトランジスタを備えたCMOSデバイスを形成する。NOガスアニールにより、シリコン酸窒化膜12中の窒素の分布状態が急峻となることで、p型MISトランジスタにおけるボロンの浸みだしを抑制しつつ、高い駆動力を得る。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005843]

1. 変更年月日	1993年 9月 1日
[変更理由]	住所変更
住 所	大阪府高槻市幸町1番1号
氏 名	松下電子工業株式会社